

⑦

JP 2001-14056 A

Laid-open Date: January 19, 2001

[Claim 1] A semiconductor integrated circuit device equipped with a central processing unit, a memory and peripheral circuit parts, characterized by comprising:

a first clock generating means for supplying a regular-cycle clock signal to a communicating part for communicating with an external area, and a timer part for measuring time of the peripheral circuit parts, to drive the communicating part and the timer part; and

a second clock generating means for supplying a spread spectrum clock signal, whose frequency periodically changes with respect to the regular-cycle clock signal, to the peripheral circuit parts other than the communicating part and the timer part, and to a central processing unit and a memory to drive the other peripheral circuit parts, the central processing unit, and the memory.

[Claim 2] The semiconductor integrated circuit device according to claim 1, characterized in that the second clock generating means includes:

phase detection means for receiving the regular-cycle clock signal generated from the first clock generating means and used as the original clock signal as one input;

control oscillation means for outputting, as a spread spectrum

clock signal, an oscillation output whose oscillation frequency is controlled by output from the phase detection means;

programmable dividing means for dividing the oscillation output from the control oscillation means by using given data, and outputting, as another input, the division output to the phase detection means to construct a phase locked loop;

up/down count means for alternately repeating count-up and count-down of the outputs from the programmable dividing means within a predetermined count value range; and

adding means for adding a constant to count outputs with codes from the up/down count means, and supplying the resultant as division data to the programmable dividing means.

[Claim 4] A spread spectrum clock oscillator, characterized by comprising:

original oscillation means for generating an original clock signal;

phase detection means for receiving the original clock signal as one input;

control oscillation means for outputting, as a spread spectrum clock signal, an oscillation output whose oscillation frequency is controlled by output from the phase detection means;

programmable dividing means for dividing the oscillation output from the control oscillation means by using given data, and

outputting, as another input, the division output to the phase detection means to construct a phase locked loop;

up/down count means for alternately repeating count-up and count-down of the outputs from the programmable dividing means within a predetermined count value range; and

adding means for adding a constant to count outputs with codes from the up/down count means, and supplying the resultant as division data to the programmable dividing means.

[0018]

[Embodiment Mode of the Invention] Hereinafter, explanation is given regarding an embodiment of the present invention, with reference given to the drawings.

[0019] Figs. 1 and 2 are referenced to explain an embodiment of a semiconductor integrated circuit device incorporating a spread spectrum clock oscillator in accordance with the present invention. Fig. 1 shows a construction of a semiconductor integrated circuit device, and Fig. 2 shows a detailed spread spectrum clock oscillator used in the semiconductor integrated circuit device in Fig. 1.

[0020] The semiconductor integrated circuit device shown in Fig. 1 is provided with a memory 11, a central processing unit (CPU) 12, a general purpose port/A/D converter/others 13, an interruption

controller 14, a timer/counter 15, a communicating part (SIO) 16, a clock oscillator (CG) 17, and a spread spectrum clock oscillator (SSCG) 18.

[0021] The clock oscillator 17 is a first clock generating means and generates a first clock signal at regular cycles. The clock oscillator 17 supplies the first clock signal through a first clock line to the timer/counter 15 and to the communicating part 16 to drive each part. The first clock signal generated by the clock oscillator 17 is also supplied to the spread spectrum clock oscillator 18. The spread spectrum clock oscillator 18 is a second clock generating means, and, based on the first clock signal, generates a second clock signal constituted of the spread spectrum clock signal whose cycles vary relative to the cycles of the first clock signal. The spread spectrum clock oscillator 18 supplies the second clock signal, which is the spread spectrum clock signal, to the memory 11, the central processing unit 12, the general purpose port/A/D converter/others 13 and the interruption controller 14 via the second clock line to drive each part.

[0022] The memory 11, the central processing unit 12, the general purpose port/A/D converter/others 13, the interruption controller 14, the timer/counter 15 and the communicating part 16 are joined to the internal bus, and mutually transfer information via the internal bus. The transfer of signals among the memory 11, the central processing unit 12, the general purpose port/A/D

converter/others 13, the interruption controller 14, the timer/counter 15 and the communicating part 16 is performed via asynchronous interfaces 15a and 16a, which are supplied between the timer/counter 15 and the internal bus, and between the communicating part 16 and the internal bus, respectively.

[0023] Fig. 2 shows a specific construction of the spread spectrum clock oscillator 18 using a PLL. In the spread spectrum clock oscillator 18, the clock oscillator 17 operates as an original oscillator to generate a spread spectrum clock signal. The spread spectrum clock oscillator 18 has a phase detector 21, a charge pump 22, a voltage control oscillator 23, a programmable divider 24, an up/down counter and an adder 26.

[0024] Outputs from the clock oscillator 17, which servers as the original oscillator, are inputted into the phase detector 21. Outputs from the phase detector 21 are supplied to the voltage control oscillator 23 as a control voltage via the charge pump 22. Oscillation outputs from the voltage control oscillator 23 are divided by the programmable divider 24 at a division ratio based on the data supplied from the adder 26, and supplied to the phase detector 21 to be compared against the output from the clock oscillator 17. In this way, the PLL is constituted.

[0025] Furthermore, outputs from the programmable divider 24 are supplied to the up/down counter 25. The up/down counter 25 counts the output from the programmable divider 24 while alternately and

periodically repeating count-up from "0" to "n (n is a natural number)", and count-down from "n" to "0". The count values of the up/down counter 25 are supplied to the adder 26 as the signed values (signed). The adder 26 adds a constant C to the signed count value (the count value with code) of the up/down counter 25 and supplies this to the programmable divider 24, and determines the division ratio. The constant C may be set appropriately as needed so as to determine a reference division ratio.

[0026] Next, explanation is given regarding the semiconductor integrated circuit device constructed as described above in more detail.

[0027] In the semiconductor integrated circuit device shown in Fig. 1, it is assumed that the central control unit 12, the memory 11, the general purpose port/A/D converter/others 13, the interruption controller 14, the timer/counter 15, the communicating part 16 and other peripheral circuits constitute, for example, a single-chip micro-controller (MCU: micro controller unit, below referred to as "MCU").

[0028] The timer/counter 15 is a peripheral circuit for generating date/time information, and counts the clock to measure time. The communicating part 16 is a peripheral circuit for communications between the MCU and an external device, for example, serial communications according to RS-232C or other interface specifications.

[0029] The clock signal supplied to the timer/counter 15 and the communicating part 16 require a regular-cycle clock signal including no jitter, and the first clock signal is supplied via the first clock line from the clock oscillator 17 serving as the original oscillator. The second clock signal, whose frequency periodically varies with reference to the output frequency from the clock oscillator 17, is supplied from the spread spectrum clock oscillator 18 over the second clock line to the parts other than the timer/counter 15 and the communicating part 16, namely the memory 11, the central processing unit 12, the general purpose port/A/D converter/others 13 and the interruption controller 14. At this time, the data exchange taking place over the internal bus among the memory 11, the central processing unit 12, the general purpose port/A/D converter/others 13, the interruption controller 14, the timer/counter 15 and the communicating part 16 is performed via asynchronous interfaces 15a and 16a, which are provided to the timer/counter 15 and the communicating part 16, respectively.

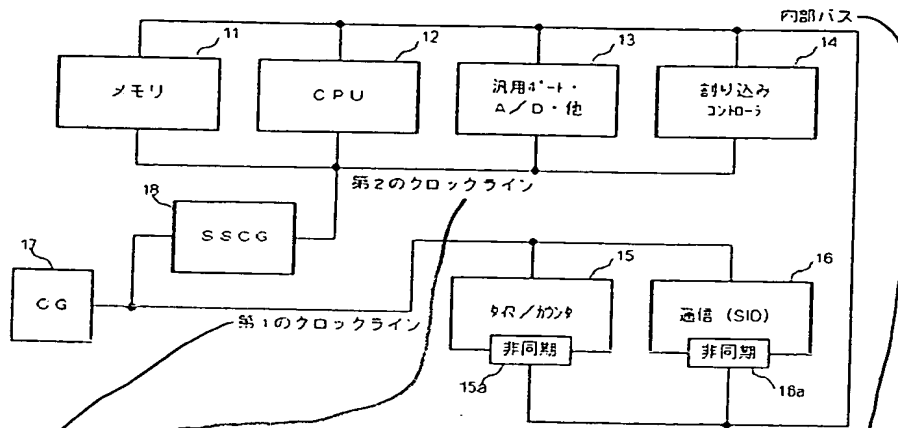
[0030] As shown in Fig. 2, the spread spectrum clock oscillator 18 supplies the output from the programmable divider 24 to the up/down counter 25, and the counter repeats count-up and count-down cyclically. The count values are processed as signed values (added codes) and are supplied to the adder 26. When the result from adding the multiplier C is inputted to the programmable divider 24, the comparison inputs with the frequency fluctuated by one cycle each

are supplied to the phase detector 21. As a result, the cycles of the output from the voltage control oscillator 23 also vary in accordance with those fluctuations.

[0031] As described above, the clock supplied to most of the internal parts of the MCU is the second clock signal supplied from the spread spectrum clock oscillator 18, and the first clock signal from the original clock oscillator 17 is supplied to peripheral parts of the MCU including the timer/counter 15 and the communicating part 16 which deal with time control outside the MCU. Therefore, the higher the frequency, the more the harmonic spurious generated synchronously with the clock spreads out away from the center frequency; the more the peak drops. Thus, it is possible to effectively reduce EMI.

[0032] Note that, the spread spectrum clock oscillator has been explained with a construction where the division ratio of the program divider changes with each cycle, but it is also possible to perform FM modulation using a sine wave on the normal PLL output, for example, without preparing special ones.

【図 1】



[FIG. 1]

INTERNAL BUS

11 MEMORY

12 CPU

13 GENERAL PURPOSE PORT/A/D/OTHERS

14 INTERRUPTION CONTROLLER

15 TIMER/COUNTER

15a ASYNCHRONOUS

16 COMMUNICATION (SIO)

16a ASYNCHRONOUS

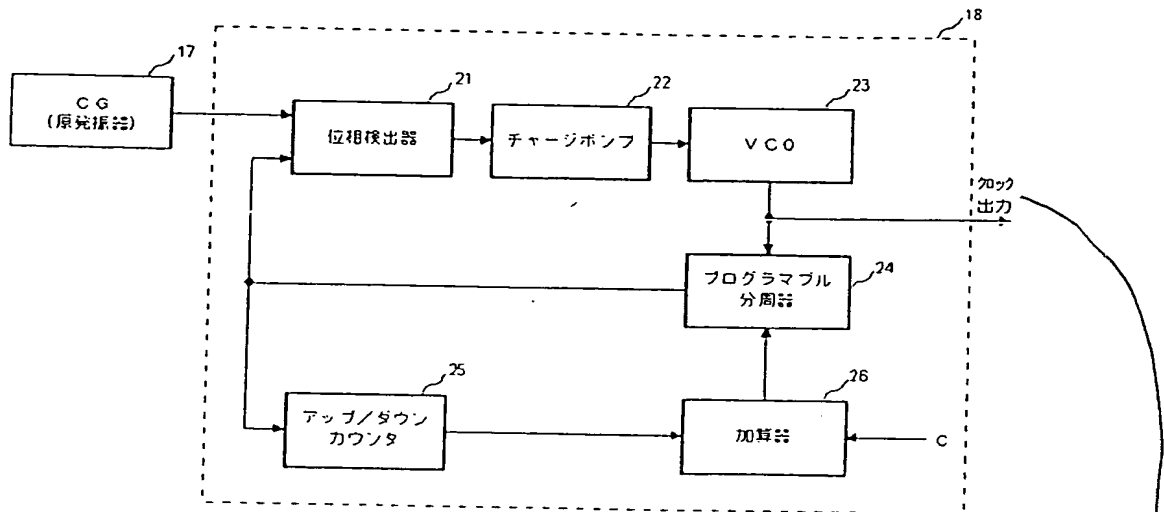
17 CG

18 SSCG

SECOND CLOCK LINE

FIRST CLOCK LINE

【図 2】



【FIG. 2】

17 CG (ORIGINAL OSCILLATOR)

21 PHASE DETECTOR

22 CHARGE PUMP

23 VCO

24 PROGRAMMABLE DIVIDER

25 UP/DOWN COUNTER

26 ADDER

CLOCK OUTPUT



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-014056

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G06F 1/08
G06F 1/04
H03L 7/08
H03L 7/18

(21)Application number : 11-188430

(71)Applicant : NEC CORP

(22)Date of filing : 02.07.1999

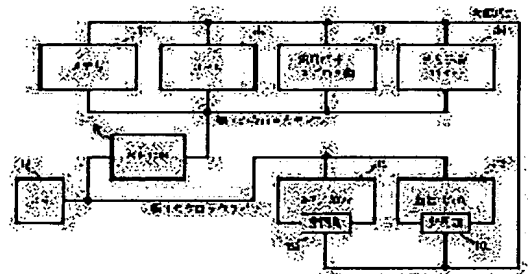
(72)Inventor : IGARASHI HATSUhide

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND SPREAD SPECTRUM CLOCK OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce EMI by properly using a spread spectrum clock signal with a simple structure in a semiconductor integrated circuit device with a central processing part, a memory and a peripheral circuit part.

SOLUTION: A first clock signal with fixed cycle is generated by a clock oscillator 17. The first clock signal is supplied to a timer/counter 15 and a communicating part 16 by the clock oscillator 17. The first clock signal generated by the clock oscillator 17 is supplied to a spread spectrum clock oscillator 18 as well. A second clock signal with fluctuating cycle is generated by the spread spectrum clock oscillator 18. The second clock signal as a spread spectrum clock signal is supplied to the memory 11, the central processing part 12, a general purpose port.A/D converting part.others 13 and an interruption controller 14 by the spread spectrum clock oscillator 18.



LEGAL STATUS

[Date of request for examination] 15.06.2000

[Date of sending the examiner's decision of rejection] 08.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-14056

(P 2 0 0 1 - 1 4 0 5 6 A)

(43) 公開日 平成13年 1 月19日 (2001. 1. 19)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G06F 1/08		G06F 1/04	320 B 5B079
1/04			A 5J106
H03L 7/08		H03L 7/08	Z
7/18		7/18	Z

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-188430

(22) 出願日 平成11年 7 月 2 日 (1999. 7. 2)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 五十嵐 初日出

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 100104916

弁理士 古溝 聡 (外 1 名)

F ターム (参考) 5B079 BA03 BB02 BC06 DD02 DD03 DD20

5J106 AA04 BB03 CC01 CC21 CC53

DD13 DD19 DD32 GG09 HH10

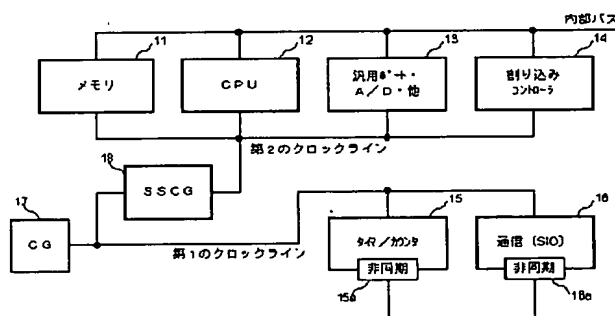
KK26 PP03 QQ08 RR18

(54) 【発明の名称】 半導体集積回路装置およびスペクトル拡散クロック発振器

(57) 【要約】

【課題】 中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置において、簡単な構成によりスペクトル拡散クロック信号を適正に用いて、EMIを低減する。

【解決手段】 クロック発振器 17 は、一定周期の第 1 のクロック信号を発生する。クロック発振器 17 は、第 1 のクロック信号を、タイマ/カウンタ 15 および通信部 16 に供給する。クロック発振器 17 で生成された第 1 のクロック信号は、スペクトル拡散クロック発振器 18 にも供給される。スペクトル拡散クロック発振器 18 は、周期が変動する第 2 のクロック信号を発生する。スペクトル拡散クロック発振器 18 は、スペクトル拡散クロック信号である第 2 のクロック信号を、メモリ 11、中央処理部 12、汎用ポート・A/D変換部・その他 13 および割り込みコントローラ 14 に供給する。



【特許請求の範囲】

【請求項 1】中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置において、前記周辺回路部のうちの外部との通信を行なう通信部および時間を計測するタイマ部に、一定周期のクロック信号を供給して、その通信部およびタイマ部を駆動する第 1 のクロック発生手段と、

前記周辺回路部のうちの通信部およびタイマ部を除く残部、中央処理部およびメモリに、前記一定周期のクロック信号に対して周期的に周波数が変化するスペクトル拡散クロック信号を供給して、その残部、中央処理部およびメモリを駆動する第 2 のクロック発生手段と、を具備することを特徴とする半導体集積回路装置。

【請求項 2】前記第 2 のクロック発生手段は、前記第 1 のクロック発生手段から発生する一定周期のクロック信号を原クロックとして一方の入力とする位相検出手段と、

前記位相検出手段の出力により発振周波数が制御される発振出力をスペクトル拡散クロック信号として出力する制御発振手段と、

与えられたデータによって前記制御発振手段の発振出力を分周し、その分周出力を前記位相検出手段の他方の入力としてフェーズロックループを構成するプログラマブル分周手段と、

前記プログラマブル分周手段の出力を、所定カウント値範囲について、アップカウントおよびダウンカウントを交互に繰り返すアップ／ダウンカウント手段と、

前記アップ／ダウンカウント手段の符号付きカウント出力に定数を加算して、前記プログラマブル分周手段に分周データとして供給する加算手段と、を含むことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】前記通信部およびタイマ部は、前記周辺回路部のうちの通信部およびタイマ部を除く残部、中央処理部およびメモリのうちの少なくとも一部との情報の授受を行なうための非同期インタフェース手段をそれぞれ含むことを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】原クロック信号を発生する原発振手段と、前記原クロック信号を一方の入力とする位相検出手段と、

前記位相検出手段の出力により発振周波数が制御される発振出力をスペクトル拡散クロック信号として出力する制御発振手段と、

与えられたデータによって前記制御発振手段の発振出力を分周し、その分周出力を前記位相検出手段の他方の入力としてフェーズロックループを構成するプログラマブル分周手段と、

前記プログラマブル分周手段の出力を、所定カウント値範囲について、アップカウントおよびダウンカウントを交互に繰り返すアップ／ダウンカウント手段と、

前記アップ／ダウンカウント手段の符号付きカウント出力に定数を加算して、前記プログラマブル分周手段に分周データとして供給する加算手段と、を具備することを特徴とするスペクトル拡散クロック発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置に関し、特に電磁波障害を効果的に防止し得る半導体集積回路装置およびスペクトル拡散クロック発振器に関する。

【0002】

【従来の技術】近年、スペクトル拡散クロック発振器（SSCG：spread spectrum clock generator）を用いて、高調波スペクトルのエネルギーを分散することにより、回路装置における電磁波障害（EMI：electromagnetic interference～以下、「EMI」と称する）を低減する技術が報告されている。

【0003】そもそも、EMI というものは、システムを駆動しているメインクロックに同期して電源電流が流れ、これの高調波が輻射・拡散することが発生原因となっている。何故、メインクロックに同期するかというと、通常はクロックに同期して信号の流れが制限されているため、回路装置中の多くのゲートがメインクロックに同期して動作し、この結果として電源電流がメインクロックで変調されることになる。

【0004】スペクトル拡散クロック発振器については、例えば、米国特許 No. 5, 631, 920 に対応する特開平 9-98152 号公報に記載されている。特開平 9-98152 号公報に記載された技術は、本来、一定とすべきクロック周期を微妙に変化させることによって、高調波スペクトルを分散させて、EMI を低減しようというものである。すなわち、システム上では、高速動作をさせるため、例えばメモリとの間のバスタイミングは、高速限界ぎりぎりに設計する訳であるが、クロック周期は、ばらつきがあればあるほど高調波スペクトルが減少することが解っている。また、クロックを計数して時間を計測するタイマ／カウンタや外部との通信を行なうための通信インターフェイスは、正確な時間が必要であり、それに基づいて、タイマ／カウンタおよび通信インターフェイスの規格がそれぞれ存在する。したがって、限られた周波数変化で最大の EMI 低減効果を求める必要があり、これを実現するためにフェーズロックループ（PLL：phase locked loop～以下、「PLL」と称する）の周波数変化パターンを求める。特開平 9-98152 号公報はこのような技術を開示している。

【0005】上述した特開平 9-98152 号公報には、例えば、テーブル、第 1 のカウンタ、第 2 のカウンタ、位相検出器、および電圧制御発振器（VCO：voltage controlled oscillator）を有してフェーズロックループを形成し、そのフェーズロックループの出力が、

クロック制御式電子装置に供給すべき拡散スペクトルクロック信号となるスペクトル拡散クロック発振器が開示されている。デジタル値が記憶されるテーブルのそれぞれ異なる部分を第 1 のカウンタのそれぞれ異なるカウンタによってアドレスする。第 2 のカウンタは、第 1 のカウンタのカウントの変化毎にアドレスされるデジタル値を受信する。基準周波数クロック信号にตอบสนองして、第 2 のカウンタが各デジタル値を受信した後に第 2 のカウンタをステップさせる。第 2 のカウンタが所定値に達したことにตอบสนองして、第 1 のカウンタをステップさ

【0006】また、特開昭 62-63327 号公報には、発振器の出力に複数のディレイラインを設け、入／出力の読み出し／書き込み信号でこれらディレイラインを選択的に切替えることにより、マイクロコンピュータに供給するクロック信号に見かけ上のジッタを生じさせることが開示されている。特開平 11-15550 号公報には、電圧制御発振器に供給する制御電圧をカウンタにより駆動されるセレクトにより切替えることにより、発振器出力を FM（周波数変調）変調することが開示されている。特開平 8-16274 号公報には、発振器の電源を変調することにより発振器出力を FM 変調することがそれぞれ開示されている。

【0007】図 3 には、中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置の従来の一例の構成を示している。半導体集積回路装置は、メモリ 111、中央処理部（CPU: central processing unit）112、汎用ポート・A/D（アナログーデジタル）変換部・その他 113、割り込みコントローラ 114、タイマ／カウンタ 115、通信（SIO: serial input/output）部 116 およびクロック発振器（CG: clock generator）117 を備える。クロック発振器 117 は、一定周期のクロック信号を発生し、メモリ 111、中央処理部 112、汎用ポート・A/D 変換部・その他 113、割り込みコントローラ 114、タイマ／カウンタ 115 および通信部 116 に供給して、これらを同期的に駆動する。このようにして、半導体集積回路装置の全ての構成部分がクロック発振器 117 により駆動され、クロック発振器 117 で生成される一定周期のクロック信号に同期して電源電流が流れるため、高調波が輻射・拡散し、EMI が発生する。

【0008】図 4 には、クロック発振器 117 等に適用し得る PLL の一般的な構成を示している。PLL は、原発振器 121、位相検出器 122、チャージポンプ 123、電圧制御発振器（VCO）124 およびプログラマブル分周器 125 を有する。原発振器 121 の出力は、位相検出器 122 に入力される。位相検出器 122 の出力はチャージポンプ 123 を介して制御電圧として

電圧制御発振器 124 に供給される。電圧制御発振器 124 の発振出力はプログラマブル分周器 125 において、分周比として与えられる定数 C に基づく分周比で分周され、位相検出器 122 に供給されて、原発振器 121 の出力と比較される。このようにして PLL が構成され、電圧制御発振器 124 の発振出力が、例えばクロック信号として外部に出力される。プログラマブル分周器 125 における分周比を決定する定数 C を適宜設定することにより、種々のクロック周期に設定することができる。

【0009】

【発明が解決しようとする課題】上述したようなスペクトル拡散クロック発振器を用いれば EMI は低減する。しかしながら、特開平 9-98152 号公報に示されたようなスペクトル拡散クロック発振器では、スペクトル拡散クロック発振器の構成は複雑になってしまう。また、特開昭 62-63327 号公報、特開平 11-15550 号公報および特開平 8-16274 号公報に示された技術においては、いずれもアナログ的な手法によりクロック信号の周期を変動させており、動作の安定性および制御性の面で十分に適正なスペクトル拡散クロック信号を発生させることは容易ではない。

【0010】本発明は、上述した事情に鑑みてなされたもので、中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置において、簡単な構成によりスペクトル拡散クロック信号を適正に用いて、EMI を効果的に低減し得る半導体集積回路装置を提供することを、その第 1 の目的とする。

【0011】また、本発明は、簡単な構成により、スペクトル拡散クロック信号を適正に発生させることを可能とし、上述した半導体集積回路装置に好適なスペクトル拡散クロック発振器を提供することを、その第 2 の目的とする。

【0012】

【課題を解決するための手段】上記第 1 の目的を達成するため、本発明の第 1 の観点に係る半導体集積回路装置は、中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置において、前記周辺回路部のうちの外部との通信を行なう通信部および時間を計測するタイマ部に、一定周期のクロック信号を供給して、その通信部およびタイマ部を駆動する第 1 のクロック発生手段と、前記周辺回路部のうちの通信部およびタイマ部を除く残部、中央処理部およびメモリに、前記一定周期のクロック信号に対して周期的に周波数が変化するスペクトル拡散クロック信号を供給して、その残部、中央処理部およびメモリを駆動する第 2 のクロック発生手段と、を具備する。

【0013】前記第 2 のクロック発生手段は、前記第 1 のクロック発生手段から発生する一定周期のクロック信号を原クロックとして一方の入力とする位相検出手段

と、前記位相検出手段の出力により発振周波数が制御される発振出力をスペクトル拡散クロック信号として出力する制御発振手段と、与えられたデータによって前記制御発振手段の発振出力を分周し、その分周出力を前記位相検出手段の他方の入力としてフェーズロックループを構成するプログラマブル分周手段と、前記プログラマブル分周手段の出力を、所定カウント値範囲について、アップカウントおよびダウンカウントを交互に繰り返すアップ/ダウンカウント手段と、前記アップ/ダウンカウント手段の符号付きカウント出力に定数を加算して、前記プログラマブル分周手段に分周データとして供給する加算手段と、を含んでいてもよい。

【0014】前記通信部およびタイマ部は、前記周辺回路部のうちの通信部およびタイマ部を除く残部、中央処理部およびメモリのうちの少なくとも一部との情報の授受を行なうための非同期インタフェース手段をそれぞれ含んでいてもよい。

【0015】上記第2の目的を達成するため、本発明の第2の観点に係るスペクトル拡散クロック発振器は、原クロック信号を発生する原発振手段と、前記原クロック信号を一方の入力とする位相検出手段と、前記位相検出手段の出力により発振周波数が制御される発振出力をスペクトル拡散クロック信号として出力する制御発振手段と、与えられたデータによって前記制御発振手段の発振出力を分周し、その分周出力を前記位相検出手段の他方の入力としてフェーズロックループを構成するプログラマブル分周手段と、前記プログラマブル分周手段の出力を、所定カウント値範囲について、アップカウントおよびダウンカウントを交互に繰り返すアップ/ダウンカウント手段と、前記アップ/ダウンカウント手段の符号付きカウント出力に定数を加算して、前記プログラマブル分周手段に分周データとして供給する加算手段と、を具備する。

【0016】本発明の第1の観点に係る半導体集積回路装置においては、周辺回路部のうちの外部との通信を行なう通信部および時間を計測するタイマ部には、第1のクロック発生手段により、一定周期のクロック信号を供給して、その通信部およびタイマ部を駆動するとともに、前記周辺回路部のうちの通信部およびタイマ部を除く残部、中央処理部およびメモリには、第2のクロック発生手段により、前記一定周期のクロック信号に対して周期的に周波数が変化するスペクトル拡散クロック信号を供給して、その残部、中央処理部およびメモリを駆動する。したがって、半導体集積回路装置内部の大部分に供給するクロック信号をスペクトル拡散クロック信号とし、外部と共通の時間を扱う通信部およびタイマ部には一定周期のクロック信号を供給することにより、周辺回路の中の通信部およびタイマ部以外の駆動にスペクトル拡散クロック信号を用いてスプリアスを分散させることができ、簡単な構成でEMIを効果的に低減することが

できる。

【0017】本発明の第2の観点に係るスペクトル拡散クロック発振器においては、原クロック信号を発生する原発振手段、前記原クロック信号を一方の入力とする位相検出手段、前記位相検出手段の出力により発振周波数が制御される発振出力をスペクトル拡散クロック信号として出力する制御発振手段、および与えられたデータによって前記制御発振手段の発振出力を分周し、その分周出力を前記位相検出手段の他方の入力とするプログラマブル分周手段により、フェーズロックループを構成し、且つ前記プログラマブル分周手段の出力を、アップ/ダウンカウント手段に供給して、所定カウント値範囲について、アップカウントおよびダウンカウントを交互に繰り返すとともに、加算手段により、前記アップ/ダウンカウント手段の符号付きカウント出力に定数を加算して、前記プログラマブル分周手段に分周データとして供給する。したがって、簡単な構成により、スペクトル拡散クロック信号を適正に発生させることが可能となる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0019】図1および図2を参照して本発明によるスペクトル拡散クロック発振器を組み込んだ半導体集積回路装置の実施の形態を説明する。図1は、半導体集積回路装置の構成を示し、図2は、図1の半導体集積回路装置に用いられるスペクトル拡散クロック発振器の詳細を示す。

【0020】図1に示す半導体集積回路装置は、メモリ11、中央処理部(CPU)12、汎用ポート・A/D変換部・その他13、割り込みコントローラ14、タイマ/カウンタ15、通信(SIO)部16、クロック発振器(CG)17およびスペクトル拡散クロック発振器(SSCG)18を備える。

【0021】クロック発振器17は、第1のクロック発生手段であり、一定周期の第1のクロック信号を発生する。クロック発振器17は、第1のクロック信号を、第1のクロックラインを介して、タイマ/カウンタ15および通信部16に供給して、これら各部を駆動する。クロック発振器17で生成された第1のクロック信号は、スペクトル拡散クロック発振器18にも供給される。スペクトル拡散クロック発振器18は、第2のクロック発生手段であり、第1のクロック信号に基づき、その第1のクロック信号の周期を基準として周期が変動するスペクトル拡散クロック信号からなる第2のクロック信号を発生する。スペクトル拡散クロック発振器18は、スペクトル拡散クロック信号である第2のクロック信号を、第2のクロックラインを介して、メモリ11、中央処理部12、汎用ポート・A/D変換部・その他13および割り込みコントローラ14に供給して、これら各部を駆動する。

【0022】メモリ11、中央処理部12、汎用ポート・A/D変換部・その他13、割り込みコントローラ14、タイマ/カウンタ15および通信部16は、内部バスに結合され、この内部バスを介して相互間の情報の授受を行なう。メモリ11、中央処理部12、汎用ポート・A/D変換部・その他13および割り込みコントローラ14と、タイマ/カウンタ15および通信部16との間の信号の授受は、タイマ/カウンタ15および通信部16と内部バスとの間にそれぞれ設けられた非同期インターフェイス15aおよび16aを介して行なわれる。

【0023】図2には、PLLを用いたスペクトル拡散クロック発振器18の具体的な構成を示している。スペクトル拡散クロック発振器18は、クロック発振器17を原発振器として動作し、スペクトル拡散クロック信号を発生する。スペクトル拡散クロック発振器18は、位相検出器21、チャージポンプ22、電圧制御発振器23、プログラマブル分周器24、アップ/ダウンカウンタ25および加算器26を有する。

【0024】原発振器となるクロック発振器17の出力は、位相検出器21に入力される。位相検出器21の出力はチャージポンプ22を介して制御電圧として電圧制御発振器23に供給される。電圧制御発振器23の発振出力はプログラマブル分周器24において、加算器26から与えられるデータに基づく分周比で分周され、位相検出器21に供給されて、クロック発振器17の出力と比較される。このようにしてPLLが構成される。

【0025】また、プログラマブル分周器24の出力は、アップ/ダウンカウンタ25に与えられる。アップ/ダウンカウンタ25は、プログラマブル分周器24の出力をカウントし、“0”から“n (nは自然数)”までのアップカウントと、“n”から“0”までのダウンカウントとを交互に且つ周期的に繰り返す。このアップ/ダウンカウンタ25のカウント値を符号付きとして加算器26に供給する。加算器26は、アップ/ダウンカウンタ25の符号付きカウント値に定数Cを加算してプログラマブル分周器24に供給し、その分周比を決定する。定数Cは、必要に応じて適宜設定され、基準となる分周比を決定する。

【0026】次に上述のように構成した半導体集積回路装置についてさらに具体的に説明する。

【0027】図1に示した半導体集積回路装置は、中央制御部12、メモリ11、並びに汎用ポート・A/D変換部・その他13、割り込みコントローラ14、タイマ/カウンタ15および通信部16等の周辺回路が、例えば1チップに収められているマイクロコントローラ(MCU: micro controller unit~以下、「MCU」と称する)であるとする。

【0028】タイマ/カウンタ15は、日時情報を発生する周辺回路であり、クロックをカウントして時間を計測する。通信部16は、このMCUと外部装置との間の

通信を行なうための周辺回路であり、例えばRS-232C等のインタフェース仕様に準拠したシリアル通信を行なう。

【0029】タイマ/カウンタ15および通信部16に供給するクロック信号はジッタを含まない一定周期のクロック信号が必要であり、原発振器となるクロック発振器17から第1のクロックラインを介して第1のクロック信号を供給する。これらタイマ/カウンタ15および通信部16以外の部分、すなわちメモリ11、中央処理部12、汎用ポート・A/D変換部・その他13および割り込みコントローラ14には、スペクトル拡散クロック発振器18から、クロック発振器17の出力周波数を基本として周期的に周波数が変化する第2のクロック信号を第2のクロックラインを介して供給する。このとき、メモリ11、中央処理部12、汎用ポート・A/D変換部・その他13および割り込みコントローラ14と、タイマ/カウンタ15および通信部16との間の内部バスを通してのデータの授受は、タイマ/カウンタ15および通信部16にそれぞれ設けられた、非同期インターフェイス15aおよび16aを介して行う。

【0030】スペクトル拡散クロック発振器18は、図2に示すように、プログラマブル分周器24の出力をアップ/ダウンカウンタ25に供給し、アップカウントとダウンカウントをサイクリックに繰り返す。このカウント値を符号付きで扱って、加算器26に与え、乗数Cを加算した結果をプログラマブル分周器24に入力すると、1サイクルずつずれて振動する比較入力位相検出器21に供給される。この結果、電圧制御発振器23の出力もこの振動に応じて周期が変化する。

【0031】上述のように、MCU内部の大部分に供給するクロックをスペクトル拡散クロック発振器18から供給する第2のクロック信号とし、タイマ/カウンタ15および通信部16等のMCUの外部の時間を扱う部分には、もとのクロック発振器17からの第1のクロック信号を供給する。したがって、クロック同期で発生する高調波スプリアスは周波数が高くなるほど中心周波数から広がり、それにつれピークも下がってくるため、EMIを効果的に低減することが可能となる。

【0032】なお、スペクトル拡散クロック発振器としては、プログラムディバイダーの分周比を毎サイクル変更する構成について説明したが、特別なものを用意しなくとも、例えば通常のPLLの出力を正弦波でFM変調するようにしてもよい。

【0033】

【発明の効果】以上説明したように、本発明によれば、中央処理部、メモリおよび周辺回路部を有する半導体集積回路装置において、簡単な構成によりスペクトル拡散クロック信号を適正に用いて、EMIを効果的に低減し得る半導体集積回路装置を提供することができる。

【0034】また、本発明によれば、簡単な構成によ

り、スペクトル拡散クロック信号を適正に発生させることを可能とし、上述した半導体集積回路装置に好適なスペクトル拡散クロック発振器を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係る半導体集積回路装置の構成を示すブロック図である。

【図 2】 図 1 の半導体集積回路装置に用いられるスペクトル拡散クロック発振器の詳細を模式的に示すブロック図である。

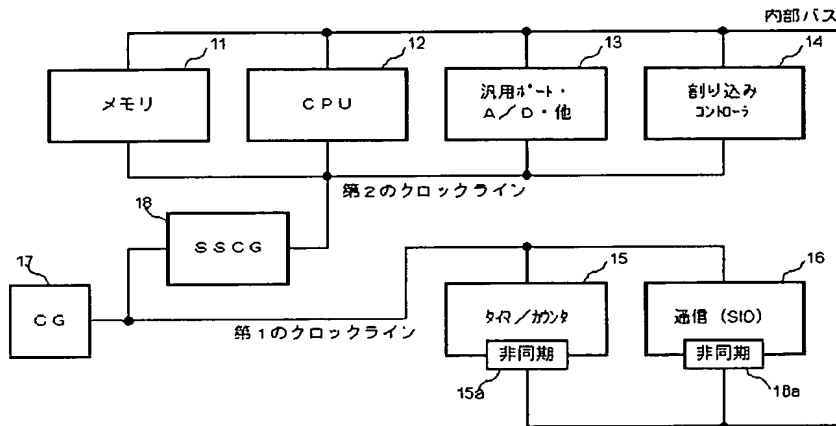
【図 3】 従来の半導体集積回路装置の一例の構成を示すブロック図である。

【図 4】 従来のクロック発振器に用いられるフェーズロックループ (PLL) の詳細を模式的に示すブロック図である。

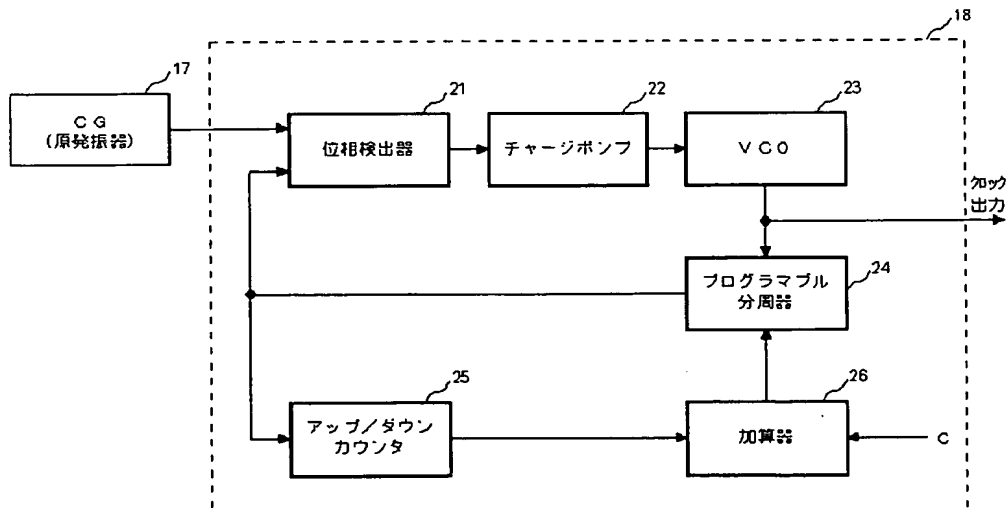
【符号の説明】

- 11 メモリ
- 12 中央処理部 (CPU)
- 13 汎用ポート・A/D部・その他
- 14 割り込みコントローラ
- 15 タイマ/カウンタ
- 16 通信 (SIO) 部
- 17 クロック発振器 (CG)
- 18 スペクトル拡散クロック発振器 (SSCG)
- 21 位相検出器
- 22 チャージポンプ
- 23 電圧制御発振器 (VCO)
- 24 プログラマブル分周器
- 25 アップ/ダウンカウンタ
- 26 加算器

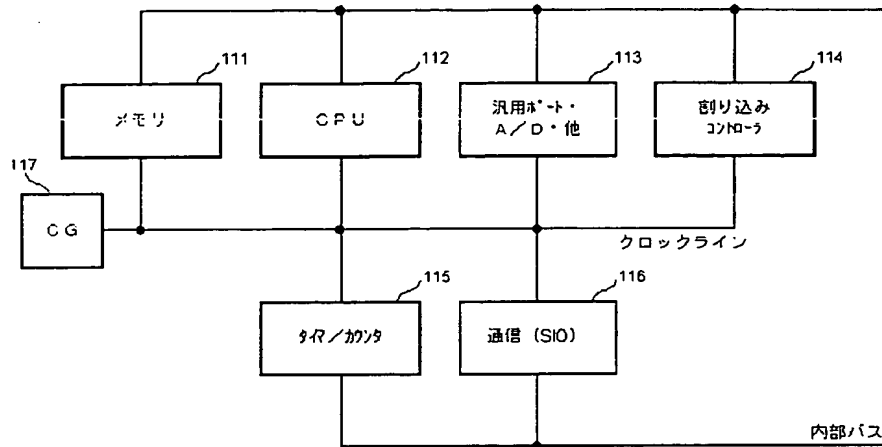
【図 1】



【図 2】



【図 3】



【図 4】

